



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010066564 (43) Publication Date. 20010711

(21) Application No.1019990068419 (22) Application Date. 19991231

(51) IPC Code:

G06F 9/46

(71) Applicant:

C&S TECHNOLOGY CO., LTD.

(72) Inventor:

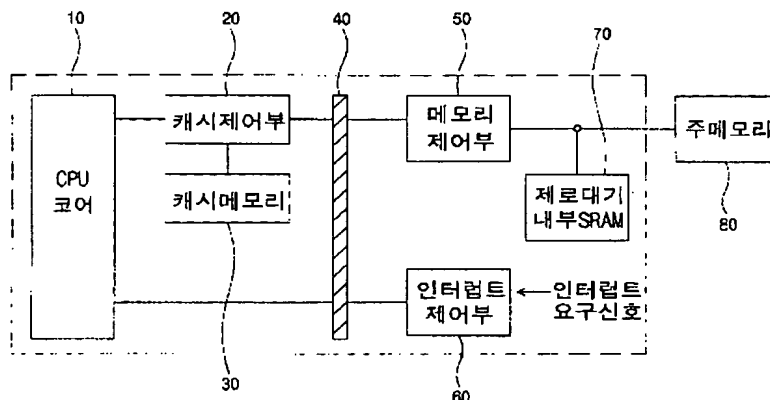
PARK, TAE GYU

(30) Priority:

(54) Title of Invention

APPARATUS FOR INTERRUPT SERVICE ROUTINE IN SYSTEM HAVING CACHE MEMORY

Representative drawing



(57) Abstract:

PURPOSE: An apparatus for an interrupt service routine in a system having a cache memory is provided to increase the hit ratio of a cache by storing a command and data used in an interrupt service routine in a special zero standby internal SRAM, and by directly reading the command and the data without passing by a cache memory.

CONSTITUTION: A CPU(10) controls a system. A cache memory(30) stores a command and data used in the CPU(10). A cache control unit(20) controls the cache memory(30). A system bus (40) connects the CPU(10), the cache control unit(20), the cache memory(30), a memory control unit(50) and an interrupt control unit(60). A

main memory(80) stores the command and the data used in the service routine. The interrupt control unit(60) recognizes an interrupt request signal. A zero standby internal SRAM(70) stores the command and the data used in the service routine. The memory control unit(50) controls an input/output of the command and the data stored in the zero standby internal SRAM(70).

COPYRIGHT 2001 KIPO

if display of image is failed, press (F5)

(19) 대한민국특허청 (KR)
(12) 공개특허공보 (A)

(51) Int. Cl.⁷
G06F 9/46

(11) 공개번호 2001-0066564
(43) 공개일자 2001년 07월 11일

(21) 출원번호 10-1999-0068419
(22) 출원일자 1999년 12월 31일

(71) 출원인 (주)씨엔에스 테크놀로지
대표이사 서승모
서울 강남구 논현1동 175-4 해주빌딩 6층

(72) 발명자 박태규
서울특별시서대문구연희1동 434-29

(74) 대리인 이종일

심사청구 : 없음

(54) 캐시 메모리가 포함된 시스템에서 인터럽트 서비스 루틴을 위한 장치

요지

본 발명은 인터럽트 서비스 루틴을 위한 장치에 관한 것으로서, 캐시의 히트 비율을 증가시키기 위하여, 인터럽트 서비스 루틴에 사용되는 명령어 및 데이터를 저장하는 별도의 제로 대기(Zero wait) 내부 SRAM을 캐시 메모리, CPU와 함께 온 칩(on-chip)화하여 캐시 히트(hit) 비율을 높이는 인터럽트 서비스 루틴을 위한 장치에 관한 것이다.

본 발명은 시스템의 전반을 제어하는 CPU와, 상기 CPU에서 최근에 사용된 명령어 및 데이터가 저장되는 캐시 메모리, 상기 캐시 메모리를 제어하는 캐시 제어부와, 상기 CPU, 상기 캐시 제어부, 메모리 제어부, 인터럽트 제어부를 연결하여 신호의 이동이 가능하도록 하는 시스템 버스와, CPU에서 사용되는 명령어 및 데이터를 저장하는 주 메모리, 인터럽트 요구 신호를 인식하는 인터럽트 제어부와, 인터럽트 서비스 루틴에 사용되는 명령어 및 데이터를 저장하기 위한 제로 대기 내부 SRAM과, 상기 주메모리 및 제로 대기 내부 SRAM 내에 저장되어 있는 명령어 및 데이터가 메모리를 제어하는 메모리 제어부로 구성되어 진다.

도면

도 2

본 발명

인터럽트 서비스 루틴, 캐시 및 메모리, SRAM

도면의 간단히 설명

도 2는 본 발명에 의한 인터럽트 서비스 루틴을 위한 장치의 전체 블록도이다.

도 3은 본 발명에 의한 인터럽트 서비스 루틴을 위한 장치에 있어서, 캐시 메모리 바이패스 여부를 결정하는 세이 비트에 대한 일 실시예에 대한 도면이다.

< 노년의 주요부분에 대한 부호의 설명 >

10 : CPU 20 : 캐시 제어부

30 : 캐시 메모리 40 : 시스템 버스

50 : 메모리 제어부 60 : 인터럽트 제어부

70 : 제로 대기 내부 SRAM 80 : 주 메모리

00000000000000000000000000000000

1000

이것이 추구하는 기술 및 그 분야의 종래기술

본 발명은 인터럽트 서비스 루틴을 위한 장치에 관한 것으로서, 캐시의 hit 비율을 증가시키기 위하여, 인터럽트 서비스 루틴에 사용되는 명령어 및 데이터를 저장하는 별도의 제로 대기 내부 SRAM을 캐시 메모리, CPU와 함께 온 칩(on-chip)화하여 캐시 hit 비율을 높이는 인터럽트 서비스 루틴을 위한 장치에 관한 것이다.

일반적으로, CPU와 주변 회로부의 동작에서 발생하는 가장 큰 병목 현상은 CPU가 메모리를 액세스할 때 일어난다. 일반적으로 집 외부에 존재하는 주 메모리를 액세스하기 위해서는 한 클럭 사이클 이상이 소요되는 반면, 집 내부의 SRA M을 액세스하기 위해서는 한 클럭 사이클 이내에 완료된다. 이러한 집 외부에 존재하는 주 메모리를 액세스 할 때 생기는 병목 현상을 줄이기 위한 방법으로 캐시가 사용된다. 상기 캐시는 CPU에서 최근에 사용된 명령어 및 데이터를 저장하는 작은 용량의 메모리로서, CPU에서 사용되는 명령어 및 데이터가 지역성 즉, CPU가 메모리의 일정한 영역에서 같은 명령어를 반복해서 수행하는 경향이 있다는 사실에 기초를 두고 있다. 다시 말해서, CPU가 자주 이용하는 명령어 및 데이터를 캐시 메모리에 저장하여 CPU가 주 메모리에 매번 액세스하지 않도록 하여 시스템의 효율을 높이는 것이다.

이제 CPU가 캐시 메모리에 액세스 하였을 경우, 원하는 명령이 및 데이터가 존재하는 것을 의미하는데, 만약 CP
가 원하는 명령이 및 데이터가 캐시 메모리 내에 존재하지 않으면, CPU는 주메모리에 액세스하여 원하는 명령이 및
데이터를 가져오면서 캐시 메모리에 적절한다. 이제 CPU가 제4 명령어 및 데이터를 원하면, 모든 주메모리의
데이터를 검색하고 캐시 메모리에 적절 접근하여 가져올 수 있도록 한다. 또한 캐시 및 비캐시된 자료 및의 복잡하
고, 불확실하다.

인터럽트는 현재 수행중인 작업을 잠시 중단하고, 메모리 상의 임의의 정해진 영역으로 분기해 인터럽트 서비스 루틴에 따라 원하는 작업을 수행한 후 원래의 위치로 돌아오는 역할을 한다.

도 1에서 도시한 바와 같이, 종래의 인터럽트 서비스 루틴을 위한 장치에 있어서, 인터럽트 요구 신호가 입력되었을 때, 인터럽트 제어부(6)는 이를 인식하여 CPU(1)에 인터럽트 요구가 있음을 알리면, 상기 CPU(1)는 인터럽트 서비스 루틴을 수행한다. 이 때, 상기 CPU(1)는 인터럽트 서비스 루틴에서 수행되는 명령어 및 데이터를 가져오기 위해 캐시 제어부(2)에 신호를 인가하여 캐시 메모리(3)에 원하는 명령어 및 데이터가 존재하는 지를 검색한다. 상기 원하는 명령어 및 데이터가 캐시 메모리(3)에 존재하면, 캐시 제어부(2)는 그 명령어 및 데이터를 읽어들이 CPU(1)에 전달한다. 반면, 원하는 명령어 및 데이터가 캐시 메모리(3)에 존재하지 않으면, 캐시 제어부(2)는 시스템 버스(4)를 점유하여, 메모리 제어부(5)에 주메모리 액세스 신호를 인가한다. 이때, 상기 주메모리 액세스 신호를 인가받은 메모리 제어부(5)는 주메모리(7)에 액세스하여 인터럽트 서비스 루틴에 필요한 명령어 및 데이터를 읽어들이 시스템 버스(4)를 점유하여, 캐시 메모리(3)에 저장시키면서 상기 CPU(1)에 전달한다.

발명이 이루고자 하는 기술적 과제

그러나, 상기 인터럽트 요구에 의한 인터럽트 서비스 루틴의 수행에서, 많은 양의 데이터 전송 및 메모리 액세스가 발생했다면, 캐시 메모리에는 기존에 존재한 명령어 및 데이터들이 새로운 명령어 및 데이터로 대체 될 것이다. 이때, 인터럽트 서비스 루틴의 종료 후, 인터럽트 작업(인터럽트가 수행되기 이전에 수행하고 있던 작업영역)으로 돌아 왔을 때, 캐시 메모리는 인터럽트 작업 수행 과정과는 관계없는 명령어 및 데이터를 다수 포함하고 있기때문에 캐시의 및 비율의 감소를 야기한다. 이는 인터럽트에 의해 분기된 영역에서 사용되던 메모리 값들과 인터럽트가 일어나기 전에 CPU가 사용하고 있던 명령어 및 데이터가 지역성의 특성을 보이지 않는 독립적인 것이기 때문이다.

본 발명은 상기와 같은 문제점을 해결하기 위하여, 인터럽트 서비스 루틴에 사용되는 명령어 및 데이터를 캐시 메모리가 아닌 별도의 제로 대기 내부 SRAM에 저장하여 상기 인터럽트가 발생하였을 경우, 인터럽트 서비스 루틴에서 사용되는 명령어와 데이터는 캐시 메모리를 거치지 않고 온 칩화된 상기 제로 대기 내부 SRAM로부터 직접 명령어 및 데이터를 읽어들이, 캐시의 및 비율을 증가시키는 인터럽트 서비스 루틴을 위한 장치를 제공하는데 있다.

상기 본 발명의 목적을 달성하기 위한 기술적 사상으로, 본 발명은 시스템의 전반을 제어하는 CPU와, 상기 CPU에서 최근에 사용된 명령어 및 데이터가 저장되는 캐시 메모리와, 상기 캐시 메모리를 제어하는 캐시 제어부와, 상기 CPU, 상기 캐시 제어부, 메모리 제어부, 인터럽트 제어부를 연결하여 신호의 이동이 가능하도록 하는 시스템 버스와, CPU에서 사용되는 명령어 및 데이터를 저장하는 주메모리와, 인터럽트 요구 신호를 인식하는 인터럽트 제어부와, 인터럽트 서비스 루틴에 사용되는 명령어 및 데이터를 저장하기 위한 제로 대기 내부 SRAM과, 상기 주메모리 및 제로 대기 내부 SRAM에 저장되어 있는 명령어 및 데이터의 입출력을 제어하는 메모리 제어부로 구성되어지는 발명이 제시된다.

발명의 구성 및 효과

이하 본 발명의 실시예를 첨부한 도면을 참조하면서 그 구성 및 작용에 대하여 상세히 설명하기로 한다.

도 2는 본 발명에 따른 인터럽트 서비스 루틴을 위한 장치의 전체 블록도이다.

도 2에서 도시한 바와 같이, 캐시 및 비율을 높여주는 인터럽트 서비스 루틴을 위한 장치에 있어서,

시스템의 전반을 제어하는 CPU(10)와, 상기 CPU(10)에서 최근에 사용된 명령어 및 데이터가 저장되는 캐시 메모리(30)와, 상기 캐시 메모리(30)를 제어하는 캐시 제어부(20)와, 상기 CPU(10), 상기 캐시 제어부(20), 메모리 제어부(50), 인터럽트 제어부(60)를 연결하여 신호의 이동이 가능하도록 하는 시스템 버스(40)와, CPU(10)에서 사용되는 명령어 및 데이터를 저장하는 주메모리(80)와, 인터럽트 요구 신호를 인식하는 인터럽트 제어부(60)와, 인터럽트 서비스 루틴에 사용되는 명령어 및 데이터를 저장하기 위한 제로 대기 내부 SRAM(70)과, 상기 주메모리(80) 및 제로 대기 내부 SRAM(70)내에 저장되어 있는 명령어 및 데이터의 입출력을 제어하는 메모리 제어부(50)로 구성되어 있다.

상기와 같은 구성을 갖는 본 발명의 작용을 설명하면 다음과 같다.

먼저, 시스템이 온 동작 되면, 부팅 롬으로부터 인터럽트 서비스 루틴에 필요한 데이터와 명령어를 제로 대기 내부 SRAM(70)으로 복사해서 저장한다. 그리고, 시스템 동작 수행 중에 인터럽트가 걸리면, 인터럽트 제어부(60)는 상기 인터럽트 요구 신호를 인식하여 시스템 버스(40)를 경유하여 CPU(10)에 인터럽트 요구가 존재함을 알린다. 이 때, CPU(10)는 메모리 액세스를 위하여 어드레스를 발생하는데, 상기 어드레스의 일부 상위 여분 1비트를 캐시 메모리 액세스 여부를 판별하는 제어 비트로 사용하여, 상기 제어비트가 0이면 캐시 메모리(30)를 액세스 하고, 1이면 캐시 메모리(30)를 액세스 하지 않고, 바이패스한다. 따라서, 상기 인터럽트가 발생한 경우에 CPU(10)가 발생한 어드레스의 제어 비트가 1임을 캐시 제어부(20)가 인식하여, 캐시 메모리(30)에 액세스 하지 않고, 시스템 버스(40)를 경유하여 메모리 제어부(50)에 명령어 및 데이터 요구 신호를 인가한다. 이 때, 메모리 제어부(50)는 제로 대기 내부 SRAM(70)에 액세스 수행하여 인터럽트 서비스 루틴에 사용되는 명령어 및 데이터를 읽어들이어서, 시스템 버스(40)를 경유하여 캐시 제어부(20)에 전달된다. 그 후, 상기 캐시 제어부(20)에 전달된 명령어 및 데이터는 캐시 메모리(30)를 거치지 않고, 바이패스하여 CPU(10)에 전달된다.

또한, 상기 제어 비트를 부가적으로 설명하면, Zero 대기 내부 SRAM(70)에 저장된 메모리 값들이 캐시 메모리(30)를 거치지 않고, 제로 대기 내부 SRAM(70)로부터 직접 CPU(10)로 읽어들이게 하기 위하여 캐시 메모리(30) 바이패스가 필요한데, 이는 캐시 제어부(20)가 CPU(10)에서 발생한 가상주소의 일부 상위 여분 비트를 캐시 메모리 바이패스 여부를 결정하는 제어 비트로 사용함으로써 판별 가능하다. 예를 들어, 32bit 어드레스 버스를 사용하는 임베디드 시스템(embedded system)용 마이크로 컨트롤러를 가정하면, 32bit의 어드레스를 모두 사용한다면 4G 바이트의 메모리를 어드레싱할 수 있다. 그러나, 현재의 임베디드 시스템용 컴퓨팅 환경을 고려해 볼 때, 4G바이트의 메모리 크기는 필요 이상으로 큰 크기이므로, 어드레싱할 수 있는 메모리의 크기를 줄이고 대신에 여분의 어드레스 비트를 캐시 메모리 바이패스 제어 비트로 사용함으로써, 인터럽트가 발생했을 때, 인터럽트 서비스 루틴에서 사용되는 명령어와 데이터가 캐시 메모리를 거치지 않고, 제로 대기 내부 SRAM(70)로부터 직접 읽어들이는지 여부를 결정하게 된다.

또한, 상기 제로 대기 내부 SRAM(70)은 캐시 메모리(30)의 동작을 비활성화 하여, 캐시 메모리(30)를 제로 대기 내부 SRAM(70)에 추가함으로써, 그 크기가 유동적으로 확장될 수 있다.

또한, 상기 제로 대기 내부 SRAM(70)은 인터럽트 서비스 루틴에 사용되는 명령어와 데이터 뿐만 아니라, CPU(10) 동작에 필요한 명령어와 데이터도 저장할 수 있다.

또한, 인터럽트 서비스 루틴에서 사용되는 명령어 및 데이터를 읽어들이기 위한 제로 대기 내부 SRAM(70)은 클럭 액세스는 클럭(one clock) 주기 동안에 액세스 될 수 있는데, 이는 인터럽트 서비스 루틴에 캐시 메모리 제어, 즉, 캐시 제어, 캐시 메모리 제어, 캐시 제어에 있어 발생한 상황과 같은 상황임을 지시한다.

도 3은 본 발명에 따른 인터럽트 서비스 루틴을 위한 장치의 구성을 보이며, 캐시 메모리 바이패스 동작을 설명하는 블록도이다.

공개특허 2001-0066564

도 3에서 도시한 바와 같이, 32bit의 어드레스 버스를 사용하는 시스템에서 하위 26비트(120)는 메모리에 접근해서 명령어 및 데이터를 읽어오기 위한 어드레스 비트로 사용되고, 상위 여분의 6비트 중 1비트(110)를 캐시 메모리 바이패스 여부를 결정하는 제어 비트(110)로 사용한다. 그리고, 나머지 5비트(100)는 여분의 비트로 남겨둔다.

이 때, 상기 32 비트 메모리에서 어드레스 사용에 대한 일 실시예는 다음과 같다.

메모리 어드레스 0X03FFFFFF ~ 0X00000000는 주메모리 영역이고, 캐시 메모리에 저장되고, 메모리 어드레스 0X07FFFFFF ~ 0X04000000는 제로 대기 내부 SRAM 영역이고, 캐시 메모리를 바이패스하고, 0XFFFFFFF ~ 0X08000000는 앞으로의 사용을 위해 예약된 영역으로 사용된다.

발명의 효과

이상에서 알 수 있는 바와 같이, 본 발명은 시스템의 전반을 제어하는 CPU와, 상기 CPU에서 최근에 사용된 명령어 및 데이터가 저장되는 캐시 메모리와, 상기 캐시 메모리를 제어하는 캐시 제어부와, 상기 CPU, 상기 캐시 제어부, 메모리 제어부, 인터럽트 제어부를 연결하여 신호의 이동이 가능하도록 하는 시스템 버스와, CPU에서 사용되는 명령어 및 데이터가 저장되는 주메모리와, 인터럽트 요구 신호를 인식하는 인터럽트 제어부와, 인터럽트 서비스 루틴에 사용되는 명령어 및 데이터를 저장하기 위한 제로 대기 내부 SRAM과, 상기 주메모리 및 제로 대기 내부 SRAM에 저장되어 있는 명령어 및 데이터의 입출력을 제어하는 메모리 제어부로 구성되어,

인터럽트 서비스 루틴에 사용되는 명령어와 데이터를 캐시 메모리가 아닌 별도의 제로 대기 내부 SRAM에 저장하여, 상기 인터럽트가 발생하였을 경우, 인터럽트 서비스 루틴에서 사용되는 명령어와 데이터는 캐시 메모리를 거치지 않고, 온 칩의 상기 제로 대기 내부 SRAM로부터 직접 명령어 및 데이터를 읽어들이, 캐시의 히트 비율을 증가시키는 효과가 있다.

(57) 청구의 범위

장구항 1.

인터럽트 서비스 루틴을 위한 장치에 있어서,

시스템의 전반을 제어하는 CPU와,

상기 CPU에서 최근에 사용된 명령어 및 데이터가 저장되는 캐시 메모리와,

상기 캐시 메모리를 제어하는 캐시 제어부와,

상기 CPU, 상기 캐시 제어부, 메모리 제어부, 인터럽트 제어부를 연결하여 신호의 이동이 가능하도록 하는 시스템 버스,

CPU에서 사용되는 명령어 및 데이터를 저장하는 주메모리와,

인터럽트 요구 신호를 인식하는 제어하는 인터럽트 제어부와,

인터럽트 서비스 루틴에 사용되는 명령어 및 데이터를 저장하기 위한 제로 대기 내부 SRAM을,

상기 캐시 메모리 및 제로 대기 내부 SRAM에 저장되어 있는 명령어 및 데이터의 입출력을 제어하는 메모리 제어부를 포함하는 시스템에서 인터럽트 서비스 루틴을 위한 장치.

청구항 2.

청구항 1에 있어서, 상기 제로 대기 내부 SRAM은 인터럽트 서비스 루틴에 사용되는 명령어 및 데이터 뿐만 아니라, CPU 동작에 중요한 명령어 및 데이터도 저장할 수 있는 것을 특징으로 하는 캐시 메모리가 포함된 시스템에서 인터럽트 서비스 루틴을 위한 장치.

청구항 3.

청구항 1에 있어서, 상기 제로 대기 내부 SRAM은 내부에 포함된 메모리 값들이 캐시 메모리를 통하지 않고 바이패스 해서 액세스 될 수 있는 것을 특징으로 하는 캐시 메모리가 포함된 시스템에서 인터럽트 서비스 루틴을 위한 장치.

청구항 4.

청구항 1에 있어서, 상기 제로 대기 내부 SRAM은 상기 캐시 메모리 바이패스 여부 결정을 CPU에서 발생한 어드레스의 상위 여분 비트를 제어 비트로 설정하여 수행하는 것을 특징으로 하는 캐시 메모리가 포함된 시스템에서 인터럽트 서비스 루틴을 위한 장치.

청구항 5.

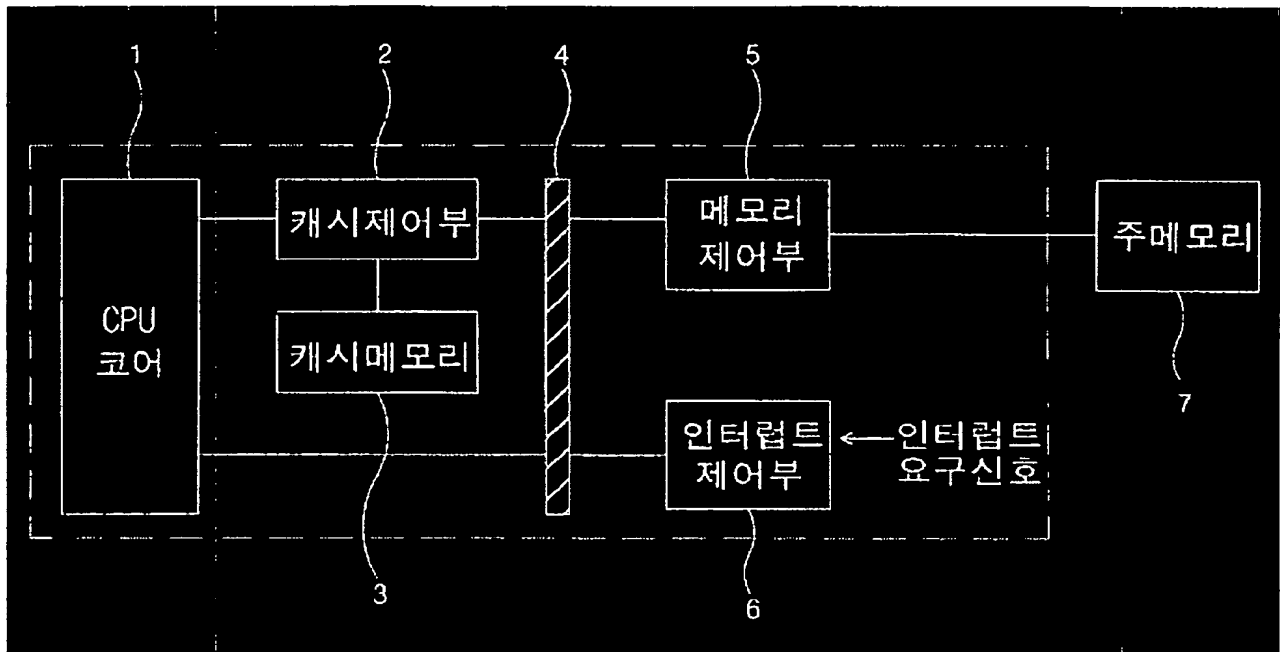
청구항 1에 있어서, 상기 제로 대기 내부 SRAM은 시스템이 온 동작 되면, 부팅 몸으로 부터 인터럽트 서비스가 요청에 필요한 데이터 및 명령어가 복사되어 저장되는 것을 특징으로 하는 캐시 메모리가 포함된 시스템에서 인터럽트 서비스 루틴을 위한 장치.

청구항 6.

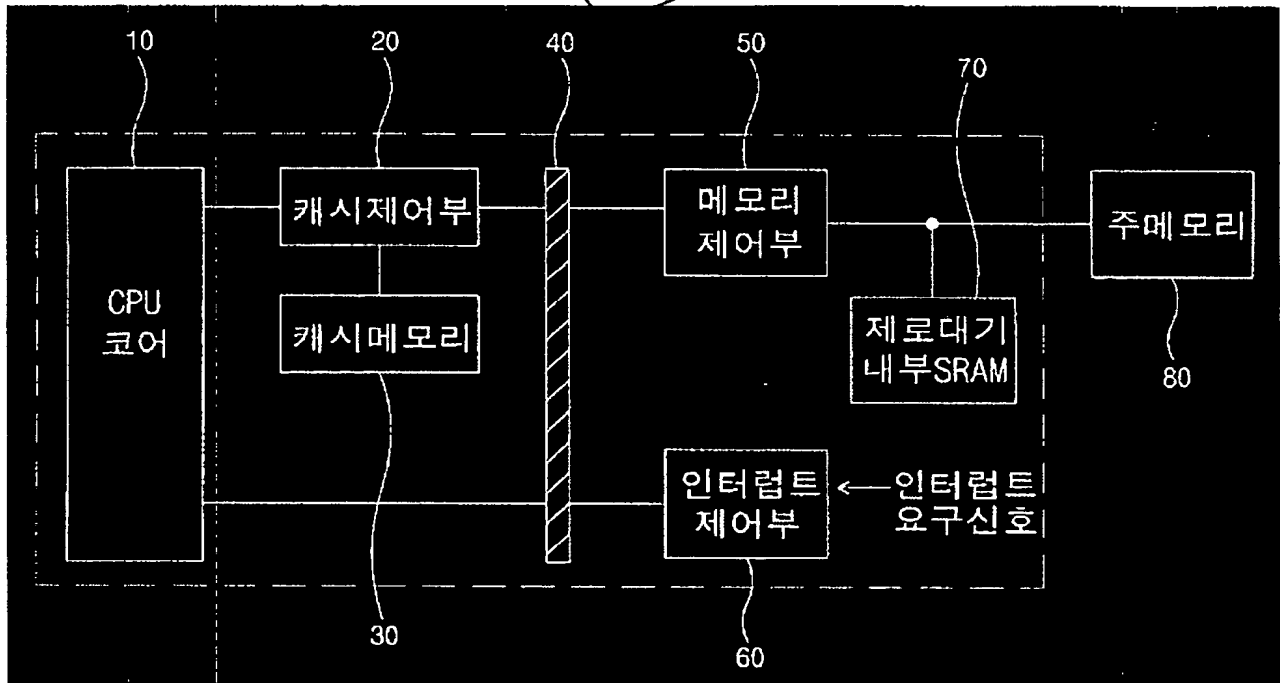
청구항 1에 있어서, 상기 제로 대기 내부 SRAM은 캐시 메모리가 사용되지 않는 모드에서 CPU가 동작하는 경우에, 메모리 값을 조절하여 상기 캐시 메모리를 이용하는 것을 특징으로 하는 캐시 메모리가 포함된 시스템에서 인터럽트 서비스 루틴을 위한 장치.

도면

도면 1



도면 2



도면 3

